

Communication system.

Patent Number: [EP0504907, A3, B1](#)

Publication date: 1992-09-23

Inventor(s): MITO JUN-ICHI (JP)

Applicant(s): MITSUBISHI ELECTRIC CORP (JP)

Requested Patent: [JP4293338](#)

Application Number: EP19920104826 19920319

Priority Number(s): JP19910059000 19910322

IPC Classification: H04L12/42

EC Classification: H04L29/06, H04L12/423

Equivalents: DE69232158D, DE69232158T, JP2636534B2, [US5361260](#)

Cited patent(s): [EP0196094](#); [WO9009068](#); [EP0068977](#); [US4727359](#); [JP58213546](#); [JP2043831](#); [JP2214397](#)

Abstract

A communication system comprising a master station and a plurality of slave stations connected for serial transmission by a transmission line, using a HDLC-type protocol. Each of the slave stations is equipped with a system counter and a control timing setting register. Each slave station receives data when address information included in a transmission frame sent by the master station matches its own address and presets the system counter so that control timing for the object to be controlled by the master station matches the timing by the one or more slave stations. As a result, plural slave stations can output a control signal which matches the control timing for an object to be controlled by master station when the contents of the system counter match the contents of control timing setting register. The predetermined value may be preset and may be based on a collection of actual control timing

data between the master station and each slave station.



Data supplied from the [esp@cenet](#) database - 12

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2636534号

(46)発行日 平成9年(1997)7月30日

(24)登録日 平成9年(1997)4月25日

(51)Int.Cl.
H 04 L 29/08
G 05 B 19/418

職別記号

序内整理番号

F I

H 04 L 13/00
G 05 B 19/417技術表示箇所
307Z
Q

請求項の数2(全16頁)

(21)出願番号 特願平3-59000
(22)出願日 平成3年(1991)3月22日
(65)公開番号 特開平4-290338
(43)公開日 平成4年(1992)10月16日(73)特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 三戸 誠一
名古屋市東区矢田南5丁目1番14号 三菱電機株式会社名古屋製作所内
(74)代理人 弁理士 宮田 金雄 (外3名)

審査官 矢頭 肇之

(56)参考文献 特開 昭59-176863 (JP, A)
特開 昭64-36243 (JP, A)
特開 昭62-147844 (JP, A)
特開 昭59-41948 (JP, A)

(54)【発明の名称】 通信システム

1

(57)【特許請求の範囲】

【請求項1】 マスター局と、このマスター局とシリアル伝送ラインで接続され、マスター局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取り込むスレーブ局とを備えてなる通信システムにおいて、上記スレーブ局は、マスター局との間、または他のスレーブ局との間の被制御体に対する制御タイミングが一致するよう、自分自身の基準タイミングをプリセットするとともに、基準タイミングをプリセット後、所定時間経過しなければ基準タイミングを再度プリセットしないものとしたことを特徴とする通信システム。

【請求項2】 マスター局とシリアル伝送ラインで接続されるスレーブ局に、基準カウンタと制御タイミング設定用レジスタとを設け、このスレーブ局として、マスター

2

一局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取り込むと共に、マスター局との間の被制御体に対する制御タイミングが一致するよう上記基準カウンタをプリセットし、基準カウンタの内容と制御タイミング設定用レジスタの内容とが一致したとき、マスター局の被制御体に対する制御タイミングと一致する制御信号を出し、かつマスター局とスレーブ局との間の実際の制御タイミングデータを収集するとともに、この実際の制御タイミングデータに基づいて、上記制御タイミング設定用レジスタに所定の値を設定するものとしたことを特徴とする通信システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、サーボモータ制御、主

(2)

特許2636534

3

軸モータ制御を行なうサーボアンプ、主軸アンプと数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置や、数値制御装置本体側の機械出入力部が不足した場合に付加されるリモート制御装置と数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置等に採用される通信システムに関するものである。

【0002】

【従来の技術】図11は、現在ドイツ工作機械製造者協会 (VereinsDeutscher Werkzeugmaschinenfabriken e.V.) と中央電機電子工業組合 (Zentralverband Elektrotechnik- und Elektronikindustrie e.V.) にて検討が進められている、工作機械における数値制御機構と駆動機構間のシリアルリアルタイム通信システム (以下SERCO 06と称す) に基づく数値制御装置のH/W構成 (以下トポロジーと称す) であり、1は数値制御装置本体内に実装された、サーボアンプ、主軸アンプ等とシリアル伝送を行なうマスター局、2はマスター局1とシリアル伝送ラインで結ばれたスレーブ局であり、サーボアンプ、主軸アンプの制御部が相当する。3はスレーブ局2の制御部により駆動されるドライブ部であり、具体的にはサーボアンプ、主軸アンプのパワー部が相当する。4はマスター局1と複数のスレーブ局2間を結ぶシリアル伝送ラインであり、矢印方向へシリアルデータ伝送を行う。

【0003】即ち、SERCO 06は、図11に示すような数値制御機構本体内に複数のマスター局1を持ち、個々のマスター局が駆動制御部側のI/Fであるスレーブ局2を複数持ったリング構成のシリアル伝送ライン4をもつトポロジーである。

【0004】ここで、SERCO 06のシリアル伝送ライン4の具体的仕様について、図12～図16を用いて説明する。マスター局1とスレーブ局2間のシリアル伝送フォーマットは、図12に示す様な一個の開始フラグ、完先・発信元アドレス、データ、冗長コード [以下FCS (Frame Check Sequence) と称す、複数ビットにおよぶ総データの誤りを検出するため付加される] 及び一個の終了フラグから構成されるHDLC手順 (ハイレベルデータリンク制御手順のフレーム構成…JIS X 5104) と同様なフォーマットを使用する。フレーム構成の詳細については、HDLC手順の内容を参照する事とし、本文では省略する。

【0005】また、具体的なシリアル伝送ライン4の仕様としては、図15に示す様な光ファイバー伝送路を使用し、SMA規格 (IEC 868 (C020)) コネクタにより光ファイバーケーブルに接続される。

【0006】また、1本の光ファイバー伝送路をリング構成にして使用する為、伝送クロックと伝送データをマルチブレックスして送信し、受信側では、送信信号より伝送クロックと伝送データを分離抽出している。この伝送

10

4

クロックと伝送データをマルチブレックスした信号を作る為に、図14に示すNRZI (Nonreturn to Zero Inverted) コード化を使用する。図14の下向きの矢印は伝送クロックの変化点を示し、下側の0,1の伝送データと上側の伝送クロックを合せてNRZIコード化した例が、中段に示す波形であり、データ“0”を送出する伝送クロックのタイミングで波形反転を生ずる。受信側では、波形反転のタイミングで伝送クロックを抽出すると共に、抽出した伝送クロックのタイミングに合せて波形をサンプリングし、伝送データの0,1を判別する。

【0007】図13は、伝送ライン上に伝送されるデータの時間的配置を示した図であり、MSTはマスター局1からスレーブ局2への伝送タイミングデータ、AT1、AT2～ATXは各々のスレーブ局2からマスター局1への送信データ、MDTはマスター局1からスレーブ局2への送信データである。

【0008】具体的なデータの内容としては、MSTのタイミングにより伝送周期 (TCYC) (例えば1.7ms) が決定されるが、MSTはシステムモード (立上げ、運転モード等) 等が含まれているフレームであり、その機能は主にスレーブ局2との同期確立を目的としている。また、AT1、AT2～ATXは、MST伝送後のある規定時間 (T1.1、T1.2、T1.X) 経過後、各々のスレーブ局2からマスター局1へ伝送されるフレームであり、スレーブ局2であるサーボアンプ、主軸アンプ等のモーター位置データ、モーター速度データ、モーター電流データ、アラームステータス等を含むものである。また、マスター局1はMST伝送後、T2時間経過後MDTを伝送するが、この中では、サーボアンプ、主軸アンプに対するモーター駆動指令や各サーボアンプ、主軸アンプに対するモード指定 (周速一定制御モード、C軸制御モード等) 等のデータが含まれるものである。この様にTCYCの周期でマスター局1とスレーブ局2の間で交信を行なう事により、数値制御装置としての機能を実現する。

【0009】次に図16は、1つのマスター局1に2つのスレーブ局2が接続された場合の概略接続ブロック図である。図16において、CONTROLLER MASTER1はマスター局1を、またCONTROLLER SLAVE1及びSLAVE2はスレーブ局2を示す。又、TXMT (el/opt) は送信部であり、REC (opt/el) は受信部であり、各々の部分で電気信号→光信号変換、光信号→電気信号変換が行われる。また、MUXは送信信号切替え部であり、ここで入力された2信号のどちらかが選択されて後段のTXMTより送信される。次に、REC (DPLL REGEN) は、受信信号再生部であり、前段のRECで受信されたNRZI信号を受信データ (RXD) と受信クロック (RCLK) に分離してコントローラに与える。なお、図中、TXCLKはクロック、TFFはフリップフロップ、TXDは送信データ、MUXはマルチブレックス、IDLEは送信の初期信号、TXMTは送信器である。以上のように従来における、サーボモータ制御、主軸モータ制御を行

20

30

40

50

(3)

特許2636534

5

なうサーボアンプ、主軸アンプと数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置は、構成されている。

【0010】また図17は、数値制御装置本体側の機械入出力部が不足した場合に付加されるリモート制御装置と数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う従来の数値制御装置の概略構成図であり、図において、1はマスター局で、数値制御装置本体が相当する、2はスレーブ局で、リモート制御装置が相当する、4はマスター局1である数値制御装置本体とスレーブ局2であるリモート制御装置を結ぶHDL C手順に従ったシリアル伝送ライン、5は数値制御装置にて制御される工作機械のインターフェイス部、6は操作者が数値制御装置を操作するための操作ボード、6Aはキーボード、6BはCRT、7はサーボアンプ、8は主軸アンプ、9はサーボモータ、8Aは主軸モータ、1Aは数値制御装置本体側機械入出力部、2Aはリモート制御装置側機械入出力部である。

【0011】次にこの数値制御装置の動作を説明する。マスター局1である数値制御装置本体の内部には、数値制御装置が取り付けられる工作機械の機械シーケンスを実行するためのシーケンスプログラムが内蔵されており、マスター局1である数値制御装置本体内にあるCPUによりシーケンスプログラムが逐次実行され、機械シーケンス処理が実行される。ここで図17におけるスレーブ局2であるリモート制御装置は、マスター局1である数値制御装置本体側の機械入出力部が不足した場合に付加されるものであり、機械側の機械インターフェイス部に對しては、数値制御装置本体側でシーケンス処理された結果がリモート制御装置へシリアル伝送ライン4を通じてHDL C伝送され、リモート制御装置側で出力されると共に、リモート制御装置側で入力された結果がシリアル伝送ライン4を通じてHDL C伝送され、数値制御装置本体側でシーケンス処理される。

【0012】

【発明が解決しようとする課題】図11～図16に示す従来のもの（サーボモータ制御、主軸モータ制御を行なうサーボアンプ、主軸アンプと数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置）は、以上のように構成されているので、マスター局1とこのマスター局1に接続されるスレーブ局2との同期性を確保するために、マスター局1からスレーブ局2に対しマスター同期フレームMSTを送信し、このフレームを基準にして同期確保を図ってやる必要があるが、この方式では同期確立の為にフレームが余分に必要な事になり伝送効率が悪い。

【0013】因みにマスター局が複数軸（X軸、Y軸、Z軸等）を同期制御できる数値制御装置本体で、スレーブ局がサーボアンプ・主軸アンプの場合、両者の同期をとらないと、サーボアンプで駆動される各軸が時間的にバラ

10

6

バラの動きをしたり、サーボアンプで駆動される各軸と主軸アンプで駆動される主軸とが時間的にバラバラの動きをすることになり、目的とする加工を行うことができない。

【0014】また図17に示すもの（数値制御装置本体側の機械入出力部が不足した場合に付加されるリモート制御装置と数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置）は、機械側の機械インターフェイス部に對しては、数値制御装置本体側でシーケンス処理された結果がリモート制御装置へシリアル伝送ライン4を通じてHDL C伝送され、リモート制御装置側で出力されると共に、リモート制御装置側で入力された結果がシリアル伝送ライン4を通じてHDL C伝送され、数値制御装置本体側でシーケンス処理されるものであるので、数値制御装置本体とリモート制御装置との間ににおける機械側の機械インターフェイス部に對する入出力制御が時間的にずれた。ちなみに、この入出力制御が時間的にずれると、例えはロボットによるワークの搬送工程と工作機械によるワークの切削タイミングとが合致せず、目的とする加工を行うことができない事態が生じる。

【0015】なお、この図17に示すものにおいてこの不具合を解消するためには、図11～図16に示すものと同様に同期フレームを用いることにより、上記数値制御装置本体とリモート制御装置との間ににおける機械側の機械インターフェイス部に對する入出力制御を同期化させるか、または工作機械の機械インターフェイス部に上記時間的ずれを考慮した遮延回路を設けたり、機械のシーケンスプログラムを上記時間的ずれを考慮して作成する等して、この入出力制御を同期化させることと実質的に同一の機能を達成させる必要がある（このことは、ひいては伝送効率の悪化につながる）。

【0016】本発明は、上記のような課題を解決するためになされたもので、特別な同期フレーム等を用いず、マスター局とスレーブ局との間またはスレーブ局間の同期確保ができ、また本発明は伝送ラインノイズに対して強い通信システムを提供しようとするものである。

【0017】

【課題を解決するための手段】第一の発明に係る通信システムは、マスター局と、このマスター局とシリアル伝送ラインで接続され、マスター局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取込むスレーブ局とを備えてなる通信システムにおいて、上記スレーブ局を、マスター局との間、または他のスレーブ局との間の被制御体に対する制御タイミングが一致するよう、自分自身の基準タイミングをプリセットするとともに、基準タイミングをプリセット後、所定時間経過しなければ基準タイミングを再度プリセットしないものとしたものである。

【0018】また第二の発明に係る通信システムは、マ

20

30

40

50

(4)

特許2636534

7

スター局とシリアル伝送ラインで接続されるスレーブ局に、基準カウンタと制御タイミング設定用レジスタとを設け、このスレーブ局として、マスター局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取込むと共に、マスター局との間の被制御体に対する制御タイミングが一致するよう上記基準カウンタをプリセットし、基準カウンタの内容と制御タイミング設定用レジスタの内容とが一致したとき、マスター局の被制御体に対する制御タイミングと一致する制御信号を出力し、かつマスター局とスレーブ局との間の実際の制御タイミングデータを収集するとともに、この実際の制御タイミングデータに基づいて、上記制御タイミング設定用レジスタに所定の値を設定するものとしたものである。

【0019】

【作用】第一の発明に係る通信システムによれば、マスター局からの同期フレーム送信が無くとも、スレーブ局自身が、マスター局との間、またはスレーブ局との間の同期を確保するとともに、伝送ラインにノイズが入って誤ったアドレスが送信された場合等にあっても、正常に動作する。また第二の発明に係る通信システムによれば、制御タイミング設定用レジスタに、マスター局との間の制御タイミングを一致させるのに必要なデータを確実に設定できる。

【0020】

【実施例】実施例1。

以下本発明の第一の実施例を図1～図7を用いて説明する。なおこの実施例は、サーボモータ制御、主軸モータ制御を行なうサーボアンプ、主軸アンプと数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置に実施した場合の例である。図2は本発明に係る通信システムが採用される上記数値制御装置のシステム構成を示す図で、図中1は数値制御装置本体内に実装された、サーボアンプ、主軸アンプとシリアルデータ伝送を行うマスター局、2はマスター局1にシリアル伝送ラインで結ばれたスレーブ局で、サーボアンプ、主軸アンプの制御部が相当する。3はスレーブ局2の制御部より駆動されるドライブ部であり、サーボアンプ、主軸アンプのパワー部が相当する。4はマスター局1と複数のスレーブ局2間を結ぶシリアルデータ伝送ラインで、矢印方向へシリアルデータ伝送を行う。

【0021】図3はスレーブ局が4局ある場合のマスター局側の送信開始信号発生回路を示す図、図4はマスター局側の送信回路を示す図。図1はスレーブ局2の1局分の構成図、図5はマスター局1とスレーブ局2間の詳細なデータ伝送タイミングを示す図。図6は本通信システムの全体の動作を示すタイミング図。図7は本実施例に於て使用されるシリアル伝送フレーム構成を示す図である。図3において、10は発振回路、11はNC内部基準

8

カウンタで、図6に示すように、発振回路10のクロック源を分周した3.5msec、1.7msec、0.8msec、0.4msec、0.2msecの周波数をカウントするものである。12A～12Dは送信タイミング設定用レジスタで、各スレーブ局2への送信タイミングがCPU13によりセットされる。具体的には、スレーブ局1#0への送信タイミングを決定するレジスタ12Aには“0000”が、スレーブ局1#1への送信タイミングを決定するレジスタ12Bには“0001”が、スレーブ局1#2への送信タイミングを決定するレジスタ12Cには“0010”が、スレーブ局1#3への送信タイミングを決定するレジスタ12Dには“0011”が夫々セットされる。なおこのセット時、周波数0.2msecのものは、セットしなくとも送信タイミングに支障が生じないのでセットされない。

【0022】14A～14Dはコンパレータで、NC内部基準カウンタ11の内容と送信タイミング設定用レジスタ12A～12Dの内容とを比較し、両者の内容が一致したとき、該当するスレーブ局2へデータの送信を開始させる信号を、図4に示す送信回路のデータ送信回路15、FCS計算・送信回路16及び開始・終了フラグ送信回路17に各自出力する。具体的には、NC内部基準カウンタ11の内容が“0000”になったとき、レジスタ12Aの内容“0000”と一致するので、スレーブ局1#0へデータの送信を開始させる信号を図4の送信回路に出力する。又NC内部基準カウンタ11の内容が“0001”、“0010”、“0011”になると、レジスタ12B～12Dの内容と夫々一致するので、その内容が一致したとき、スレーブ局1#1～3へデータの送信を開始させる信号を図4の送信回路に順次出力する。

【0023】又図4において、15はアドレスを含むデータを送信するHDL Cフレームまたはこれに準拠するフレームの送信回路で、コンパレータ14からの出力信号が入力されたとき、図1に示すスレーブ局への送信を開始する。16は複数ビットに及ぶ総データの誤りを検出するために付加される冗長コードの計算・送信を行うFCS計算・送信回路で、コンパレータ14からの出力信号が入力されたとき、図1に示すスレーブ局への送信を開始する。17はHDL Cフレームまたはこれに準拠するフレームの区切りを示すための開始フラグ及び終了フラグを送信する開始・終了フラグ送信回路で、コンパレータ14からの出力信号が入力されたとき、図1に示すスレーブ局への送信を開始すると共に、フラグ一個を送信完了したことを示す送信完了信号17Aを、後述するフラグ数カウンタ20に出力する。18はHDL Cフレームまたはこれに準拠する構成するための開始フラグ、終了フラグ、データ送信、FCS送信を切り替えるためのOR回路、19はCPU13で処理された並列データを直列データに変換するためのパラレル/シリアル変換回路、20は開始フラグと終了フラグの送信フラグ数をカウントするためのフラグ数カウンタ、21はCPU13にて予めフラグ数が

(5)

特許2636534

9

設定されるフラグ数設定レジスタ、22はフラグ数カウンタ20の内容とフラグ数設定レジスタ21との内容を比較し、両者の値が一致したときフラグ送信を停止させる送信停止信号22Aを開始・終了フラグ送信回路17に出力するコンパレータである。なおこの送信回路から送信されるデータのフレーム構成は、図7Aに示すようなHDLC規格またはHDLC規格に準拠したフレーム構成を取ると共に、耐伝送ラインノイズ特性を高めるため開始フラグ及び終了フラグを各々4個設けている。また、データは、図5に示すように伝送ライン4による遅延を伴い△T時間遅れてスレーブ局2に受信される。また図5、図6中、202はデータフレーム、203は基準カウンタロード信号を示す。

【0024】又図1において、101はマスター局1から送信されるデータを受信するレシーバ、102は受信シフトレジスタで、実用上3~4個設けられる。116は受信開始信号及び受信終了信号を出力してHDLCフレームまたはこれに準拠するフレームの開始、終了を検出するためのフラグ検出回路、117は受信データのFCSを計算すると共に、受信データの後に送信されてきたFCSデータと比較し、比較結果が不一致の場合にFCSエラー信号を出力しエラー発生を検出するFCS計算・比較回路、118は受信した直列データを並列データへ変換するためのシリアル/パラレル変換回路、103は受信RAMで、マスター局1から送信されるデータを自局分のみ格納する。104は受信アドレス設定レジスタで、各スレーブ局2対応で割付けられた受信アドレスがCPU105にて予め設定されている。106は基準カウンタプリセット用レジスタで、マスター局1から送信される周期と位相が合うように、マスター局1側の送信タイミング設定レジスタ12A~12Dと同一の値が、各スレーブ局2対応でCPU115にて予め設定されている。具体的には、スレーブ1#0の基準カウンタプリセット用レジスタ106には“0000”が、スレーブ局1#1の基準カウンタプリセット用レジスタ106には“0001”が、スレーブ局1#2の基準カウンタプリセット用レジスタ106には“0010”が、又スレーブ局1#3の基準カウンタプリセット用レジスタ106には“0011”が夫々設定される。

【0025】107はコンパレータで、マスター局1から送信されるフレーム中のアドレスと受信アドレス設定レジスタ104に設定されたアドレスと比較し、両者のアドレスが合致したとき、基準カウンタプリセット用レジスタ106に設定されている内容をスレーブ側基準のカウンタ108にロードし、基準カウンタ108の内容をプリセットする基準カウンタロード信号203を発生させる。なおこのロード信号203は、基準カウンタ108に入力される。109はマスター局1の発振回路10と同一周波数のクロック源を有する発振回路、108はこの発振回路109のクロック源をマスター局1側の周波数と合致するように分周した3.5msec、1.7msec、0.8msec、0.4msecの周波数をカウン

10

トする基準カウンタ、110は割込みタイミング設定レジスタで、全てのスレーブ局2がマスター局1からのデータを受信した後の割込みタイミング値（この実施例の場合は“1000”）がCPU105にて予め設定されている。なお、このタイミング値は、同期制御を必要とするスレーブ局2全てに同一の値が設定される。111は基準カウンタ108の内容と割込みタイミング設定レジスタ110の内容とを比較し、両者の内容が合致したとき、CPU105に割込み信号を出力するコンパレータ、112はCPU105にてPWM出力回路113、パワーリード114を通じて制御されるサーボモータ（又は主軸モータ）、115はモータ112の位置等をCPU105にフィードバックするための検出器I/F、119は送信RAMである。なおその他の構成については従来のものと同様であるので説明を省略する。

【0026】次に動作について主に図6を用いて説明する。即ち、マスター局1の送信タイミング設定レジスタ図12A~12D、夫々“0000”、“0001”、“0010”、“0011”をCPU115により予め設定しておく。一方、スレーブ局2の受信アドレスレジスタ104に、各スレーブ局2対応で割付けられた受信アドレスをCPU105にて予め設定しておくと共に、基準カウンタプリセット用レジスタ106に、マスター局1の送信タイミング設定レジスタ図12A~12Dと同一の値、即ち、“0000”、“0001”、“0010”、“0011”をCPU105にて予め設定しておく。更に各スレーブ局2に全てのデータ送信が完了した後各スレーブ局2が同期して制御を開始できるよう、割込みタイミング設定レジスタ110に、CPU105への割込みタイミング値（“1000”）をCPU105にて予め設定しておく。

【0027】このように各レジスタ12A~12D、104、106、110にて所定の値を設定した後、マスター局1からスレーブ局2へのデータ送信を開始させる。そしてNC内部基準カウンタ11の内容と送信タイミング設定レジスタ12A~12Dの内容とをコンパレータ14A~14Dにて比較し、両者の内容が合致したとき、該当するスレーブ局2へのデータ送信を開始させる信号を、図4に示す送信回路のデータ送信回路15、FCS計算・送信回路16及び開始・終了フラグ送信回路17に各々出力する。具体的には、NC内部基準カウンタ11の内容が“0000”になったとき、レジスタ12Aの内容“0000”と合致するので、スレーブ局1#0へデータの送信を開始させる信号を図4の送信回路に output する。又NC内部基準カウンタ11の内容が“0001”、“0010”、“0011”になると、レジスタ12B~12Dの内容と夫々合致するので、その内容が合致したとき、スレーブ局1#1~3へデータの送信を開始させる信号を図4の送信回路に順次出力する。

【0028】図4における送信回路において、スレーブ局2へのデータ送信を開始させる信号が、データ送信回路15、FCS計算・送信回路16及び開始・終了フラグ送

(6)

特許2636534

11

信回路17に各々順次入力されるので、データ送信回路15、F C S計算・送信回路16及び開始・終了フラグ送信回路17よりOR回路18を通じてスレーブ局2へのデータ送信を順次開始する。このとき開始・終了フラグ送信回路17は、フラグ一個を送信する毎にフラグ一個を送信完了したことを示す送信完了信号17Aを、フラグ数カウンタ20に出力するとともに、コンパレータ22が、フラグ数カウンタ20の内容とフラグ数設定レジスタ21との内容を比較し、両者の値が一致したときフラグ送信を停止させる送信停止信号22Aを開始・終了フラグ送信回路17に出力してフラグデータ送信を停止させる。

【0029】一方、各スレーブ局2では、図5に示すように送信を開始されてから伝送ライン4による遅延(ΔT 時間)を伴ってレシーバ101、受信シフトレジスタ102、シリアル/パラレル変換回路118を通じて自分自身のデータを受信RAM103に取込む。スレーブ局1#0がまずデータを受信RAM103に取込むので、このとき、受信シフトレジスタ102に入ったアドレスと受信アドレス設定レジスタ104に設定されたアドレスとが合致するため、コンパレータ107が基準カウンタロード信号203を基準カウンタ108に出力する。このロード信号203が基準カウンタ108に入力されると、基準カウンタプリセット用レジスタ106に予めセットされている“0000”が基準カウンタ108にロードされ、基準カウンタ108は“0000”にプリセットされ、“0000”より発振回路109からのクロックをカウントし始める。スレーブ局1#0がデータを読み込み基準カウンタ108が“0000”よりカウントし始めた後、スレーブ局1#1がデータを受信RAM103に読み込むと共に、スレーブ局1#1の基準カウンタ108には、上述したスレーブ局1#0と同様の動作にて“0001”がプリセットされ、スレーブ局1#1の基準カウンタ108は“0001”より発振回路109からのクロックをカウントし始める。なお、このとき、スレーブ局1#0の基準カウンタ108の値は、スレーブ局1#1の基準カウンタ108の値と同一の値となっている。スレーブ局1#2、スレーブ局1#3の基準カウンタも上記と同様に“0010”、“0011”と順次プリセットされるので、スレーブ局1#0～1#3へのデータ送信が完了した時点では各スレーブ局の基準カウンタ108の値は揃うことになる。

【0030】そしてこのように各スレーブ局の基準カウンタ108の値が合致している状態において、割込みタイミング設定レジスタ110の内容(この実施例の場合は“1000”)と基準カウンタ108の内容とが合致すると、各コンパレータ111は各CPU105に割込み信号を出力する。この割込み信号が各CPU105に入力されると各CPU105は、各受信RAM103に格納されている各モータ112の制御データ(この実施例の場合は、電流ループ処理、位置ループ処理及び速度ループ処理データ)を各スレーブ局とも同時に読み出し、各PWM出力回路113、各パワ

12

一回路114を通じて各モータ112を同期制御する。よって従来のように同期フレームを送信しなくても、各スレーブ局間の同期をとることができるようになり、即ち同期フレームを送信しなくても、各モータ112を同期補間させることが可能となる。因みに従来例の項でも述べたように同期補間を必要とする時間帯において同期補間を行わないと、目的とする加工を行う事ができない。また送信フレーム構成として、開始フラグと終了フラグを複数持つ構成としているので、耐伝送ラインノイズ性が高まり、図7Bに示すように伝送ラインノイズによってA1、A2、B1、B2等のフラグを検出出来なかったとしても、A3、A4、B3、B4の位置で開始フラグと終了フラグを確実に検出できるようになり、また送信側でフラグ数をカウントし、所定のフラグ数送信を完了したならばフラグデータ送信を停止させるので、フレームの受信開始が出来ない、受信終了が出来ないといった不都合を解消できるようになる。また、図4に示すように、フラグ数設定レジスタ21を有しているので、工場環境に応じて、即ち、伝送障害となるノイズが多い工場では開始・終了フラグ数を多くする等容易にそのフラグ数を増減できる。なお、発振回路10、109として同一周波数のクロック源を有するものを用いた場合について説明したが、必ずしも同一周波数のクロック源を有するもの要用いる必要はない。

【0031】実施例2。

また第一の実施例で説明した構成は、図17に示すもの(数値制御装置本体側の機械入出力部が不足した場合に付加されるリモート制御装置と数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置)にも適用可能である。即ち、この図17に示すものの回路構成は、PWM出力回路113、パワー回路114、サーボモータ(又は主軸モータ)112及び検出器1/F115が、工作機械のインターフェイス部5に変更されるだけで、その他の回路構成は第一の実施例で説明した構成と実質的に同一である。

【0032】次にこの図17に示すものに、第一の実施例で説明した構成を適用した場合の動作について、処理タイミングを示す図8を用いて説明する。数値制御装置は、通常、リアルタイムOSの下でマルチタスク処理を行っており、システムとしての基準クロック信号(図中Aで示す)があり、1サイクルの区間を繰り返し実行する。B、Dは数値制御装置本体側の処理内容を示したものであり、R1、R2、R3は数値制御装置本体側の受信データ処理、S1、S2、S3は数値制御装置本体からの送信データ処理、O1、O2、O3は数値制御装置本体側の出力処理、I1、I2、I3は入力処理である。またC、Eはリモート制御装置側の処理内容を示したものであり、数値制御装置本体側の処理内容と区別するために頭にRを付加している。また、B、Cは従来方式、D、Eは本発明方式である。従来は、数値制御装置

(7)

特許2636534

13

本体からリモート制御装置への送信処理S1の後、数値制御装置本体側での出力処理O1、入力処理I1が実行される。リモート制御装置側では、数値制御装置本体側の送信処理S1を受けて、受信処理RR1が実行され、その後リモート制御装置側での出力処理RO1、入力処理RI1が実行されるので、数値制御装置本体側の入力処理I1とリモート制御装置側の入力処理RI1は時間的なずれを生じることになる。

【0033】これに対し、本発明では、スレーブ局2の受信アドレスレジスタ104に、スレーブ局2対応で割付けられた受信アドレスをCPU105にて予め設定しておくと共に、基準カウンタプリセット用レジスタ106にて所定の値、例えば"0000"、または"0100"等をCPU105にて予め設定しておく、更に割込みタイミング設定レジスタ110にて、数値制御装置本体とリモート制御装置における工作機械のインターフェイス部5への入出力処理が同期して行われるよう予め定めた所定の値、即ちリモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間（基準カウンタプリセット用レジスタ106にて"0000"が設定されている場合）、またはその時間に相当する時間（基準カウンタプリセット用レジスタ106にて"0000"以外の値、例えば"0100"が設定されている場合、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間に"0100"を加算した時間）をCPU105にて予め設定しておく。このため数値制御装置本体側の送信処理S1を受けてリモート制御装置側の受信処理RI1が実行され、このとき検知された宛先アドレスD、A検知信号により基準カウンタ108が例えば"0000"にリセットされ、基準カウンタ108は発振回路109からのクロックをブリセット値から再度カウントし始める。そしてこの基準カウンタ108がカウントしている状態に於て、割込みタイミング設定レジスタ110の内容と基準カウンタ108の内容とが合致すると、コンバレータ111はCPU105に割込み信号を出力する。この割込み信号がCPU105に入力されるとCPU105は、受信RAM103に格納されている制御データを読み出し、数値制御装置本体側の出力処理O2、入力処理I2と同時に、リモート制御装置側の出力処理RO1、入力処理RI1を実行する。このため、工作機械側から見た数値制御装置の機械入出力のタイミングが、数値制御装置本体に内蔵された機械入出力部とリモート制御装置に内蔵された機械入出力部とに係わらず、ほぼ同一タイミングとなる。

【0034】なお、リモート制御装置側の入出力処理が従来方式より1サイクル遅れるが、入力から出力への応答時間を考えると、従来方式では、
R11→RS1→R2→O2（リモート側入力から本体側出力まで）

I1→S2→RR2→RO2（本体側入力からリモート側出力まで）

14

本発明では、
R11→RS2→R3→O3（リモート側入力から本体側出力まで）
I1→S1→RR1→RO1（本体側入力からリモート側出力まで）
となり、両者とも1サイクル程度かかり、差異のないことがわかる。

【0035】実施例3。

また、上記第二の実施例において、割込みタイミング設定レジスタ110にて、数値制御装置本体とリモート制御装置における工作機械のインターフェイス部5への入出力処理が同期して行われるよう予め定めた所定の値、即ちリモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間（基準カウンタプリセット用レジスタ106にて"0000"が設定されている場合）、またはその時間に相当する時間（基準カウンタプリセット用レジスタ106にて"0000"以外の値、例えば"0100"が設定されている場合、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間に"0100"を加算した時間）をCPU105にて予め設定しておくものについて説明した。ところが、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間は、種々の要因、例えば工作機械のインターフェイス部5の入出力特性等により変動する。このため、割込みタイミング設定レジスタ110にて予め設定する値は、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間を実測し、この実測時間を考慮した時間を設定することが好ましい。

【0036】図9及び図10は、このリモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間を実測し、この実測時間を考慮した時間を、割込みタイミング設定レジスタ110にて設定する場合の実施例を示す。即ち、図9は数値制御装置本体側の機械入出力部が不足した場合に付加されるリモート制御装置と数値制御装置本体間をシリアル伝送線ラインにより結合し、両者間でデータ伝送を行う数値制御装置の概略構成図、図10はその要部詳細回路を示し、図において、1B, 1Cは数値制御装置本体側のHDLICフレームまたはこれに準拠するフレームの送信部及び受信部、1AA, 1ABは本体側機械出力部及び本体側機械入力部、100A, 100Bはリモート制御装置側のHDLICフレームまたはこれに準拠するフレームの受信部及び送信部で、図1におけるレシーバ101、受信シフトレジスタ102、フラグ検出回路116、FCS計算・比較回路117、シリアル／パラレル変換回路118、受信RAM103、送信RAM119及び受信アドレス設定レジスタ104が相当する。120は基準カウンタ108の内容を、数値制御装置本体から出力されたHDLICフレームの受信開始信号が入力されたときラッチする第一のラッチ回路、121は基準カウンタ108の内容を、

(8)

特許2636534

15

数値制御装置本体からの機械出力信号が入力されたときラッチする第二のラッチ回路、122は数値制御装置本体からの機械出力信号を入力し、この信号が入力されたとき、第二のラッチ回路121に対してセンサーラッチ信号を出力するセンサー入力部、123は機械出力信号線、124は受信開始信号、125はセンサーラッチ信号、126は割込み信号、2AA,2ABよりリモート側機械出力部及びリモート側機械入力部である。なお、他の構成については第二の実施例のものと同様であるので、説明を省略する。

【0037】次にこの第三の実施例の動作を説明する。即ち、数値制御装置本体の送信部1Bから送信されたデータは、伝送ライン4を通り、リモート制御装置の受信部100ATで受信される。受信されたデータフォーマット中のアドレス部が、CPU107にて受信アドレス設定レジスタ104に予め設定されたアドレスと一致すると、フラグ検出回路116より受信開始信号124が outputされる。この受信開始信号124は、発振回路109に基づいて定期的にカウントを行っている基準カウンタ108に入力され、第一のラッチ回路120が、このときの基準カウンタ108の内容をラッチする。次に数値制御装置本体が機械出力処理を開始すると、機械出力部1AAより機械出力信号線123に信号出力される。この信号をリモート制御装置内にあるセンサー入力部122に入力し、入力に対応して出力されたセンサーラッチ信号125により、上記と同様に基準カウンタ108の内容を、第二のラッチ回路121がラッチする。リモート制御装置のCPU105は、この第一のラッチ回路120と第二のラッチ回路121との内容を比較し、その差分に基づいて、リモート制御装置のリモート機械出力部2AAに出力処理するタイミングを、割り込みタイミング設定レジスタ110に設定する。具体的には、基準カウンタブリセット用レジスタ106に"0000"が設定される場合には、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間を設定し、また基準カウンタブリセット用レジスタ106に"0000"以外の値、例えば"0100"が設定される場合には、リモート制御装置側の受信処理RR1～数値制御装置本体側の出力処理O2までの時間に"0100"を加算した時間を設定する。なお、これ以後の動作については、第二の実施例と同様であるので、説明を省略する。

【0038】また、この第三の実施例では、リモート制御装置に特別にセンサー入力部122を設ける例を示したが、リモート機械入力部2Aを利用するてもよい。また、この第三の実施例では、機械出力処理のタイミングを、数値制御装置本体とリモート制御装置で合わせる場合について示したが、機械入力処理についても、数値制御装置本体側の機械出力処理と機械入力処理の処理タイミングの時間差が予め分かれば、機械入力処理も数値制御装置本体とリモート制御装置で合わせることが可能である。

【0039】なおまた、上記各実施例において、スレー

16

ブ局が自局アドレス検出時に自局内の基準カウンタ108をブリセットする構成としたが、一度ブリセットした後所定時間（例えば伝送周期時間）経過しなければ再度ブリセットしない構成とすることが好みしい。このように構成すれば、伝送ラインにノイズが入って誤ったアドレスが送信されたり、コンバレータ107が誤動作して誤って自局アドレスと認識した場合等にあっても、本通信システムは正常に動作し、信頼性が更に向上する。又上記各実施例においては、数値制御装置に採用した場合について説明したが、同期制御を必要とする他の制御装置の通信システムにも本発明が適用できることは言うまでもない。

【0040】

【発明の効果】以上のように本発明によれば、マスター局と、このマスター局とシリアル伝送ラインで接続されるスレーブ局とを備え、上記スレーブ局として、マスター局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取込むと共に、マスター局との間、または所定のスレーブ局との間の被制御体に対する制御タイミングが一致するよう、自分自身の基準タイミングをブリセットするよう構成したので、マスター局からの同期フレーム送信が無くとも、マスター局とスレーブ局間、またはスレーブ局間同士の同期が図れ、データ伝送の高速化を図ることができる。また本発明によれば、基準タイミングをブリセット後、所定時間経過しなければ基準タイミングを再度ブリセットしないよう構成したので、伝送ラインにノイズが入って誤ったアドレスが送信されたり、コンバレータが誤動作して誤って自局アドレスと認識した場合等にあっても、本通信システムは正常に動作し、信頼性が更に向上する。

また本発明によれば、マスター局とリアル伝送ラインで接続されるスレーブ局に、基準カウンタと制御タイミング設定用レジスタとを設け、このスレーブ局として、マスター局より送信される送信フレーム中に含まれるアドレス情報が自分自身のアドレスと一致したときデータを取込むと共に、マスター局との間の被制御体に対する制御タイミングが一致するよう上記基準カウンタをブリセットし、基準カウンタの内容と制御タイミング設定用レジスタの内容とが一致したとき、マスター局の被制御体に対する制御タイミングと一致する制御信号を出し、かつマスター局とスレーブ局との間の実際の制御タイミングデータを収集するとともに、この実際の制御タイミングデータに基づいて、上記制御タイミング設定用レジスタに所定の値を設定するよう構成したので、数値制御装置本体の送信タイミングや機械入出力のタイミングが変化しても、制御タイミング設定用レジスタに、マスター局との間の制御タイミングを一致させるのに必要なデータを自動的かつ確実に設定できるようになる。

【図面の簡単な説明】

(9)

特許2636534

17

【図1】本発明の一実施例に係るスレーブ局の構成図である。

【図2】本発明の一実施例に係る通信システムが採用される数値制御装置のシステム構成を示す図である。

【図3】本発明の一実施例に係るスレーブ局が4局ある場合のマスター局側の送信開始信号発生回路を示す図である。

【図4】本発明の一実施例に係るマスター局側の送信回路を示す図である。

【図5】本発明の一実施例に係るマスター局とスレーブ局間の詳細なデータ送信タイミングを示す図である。

【図6】本発明の一実施例に係る通信システムの全体の動作を示すタイミング図である。

【図7】本発明の一実施例に係るシリアル伝送フレーム構成及び伝送ラインのデータの流れを示す図である。

【図8】本発明の他の実施例に係る処理タイミングを示す図である。

【図9】本発明の更に他の実施例に係る通信システムが採用される数値制御装置のシステム構成を示す図である。

【図10】本発明の更に他の実施例に係る要部詳細回路を示す図である。

【図11】従来例に係るシリアルリアルタイム通信システムに基づくトポロジーを示す図である。

【図12】従来例に係るSERCOSの1回のシリアル伝送に使用されるデータのフレーム構成を示す図である。

【図13】従来例に係るSERCOSのシリアル伝送ラインの時間的配置図である。

【図14】従来例に係るSERCOSのシリアル伝送データのコード化の例を示す図である。

【図15】従来例に係るSERCOSのシリアル伝送ラインに使用される光ファイバー伝送路を示すイメージ図である。

18

する。

【図16】従来例に係るSERCOSの伝送ラインの接続概略図である。

【図17】他の従来例に係る通信システムが採用される数値制御装置のシステム構成を示す図である。

【図18】従来の欠点を説明するための伝送ラインのデータの流れを示す図である。

【図19】伝送ラインに影響を及ぼす電源ノイズの特性を示す図である。

【符号の説明】

1 マスター局

2 スレーブ局

4 シリアルデータ伝送ライン

11 NC内部基準カウンタ

12A 送信タイミング設定レジスタ

12B 送信タイミング設定レジスタ

12C 送信タイミング設定レジスタ

12D 送信タイミング設定レジスタ

13 CPU

14A コンパレータ

14B コンパレータ

14C コンパレータ

14D コンパレータ

105 CPU

106 基準カウンタプリセット用レジスタ

107 コンパレータ

108 基準カウンタ

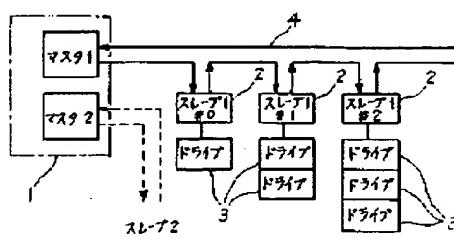
110 割込みタイミング設定レジスタ

111 コンパレータ

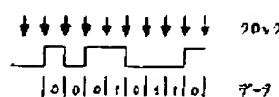
30 120 第一のラッチ回路

121 第二のラッチ回路

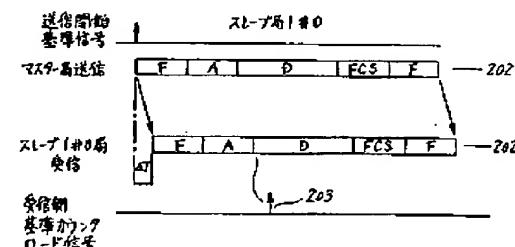
【図2】



【図14】



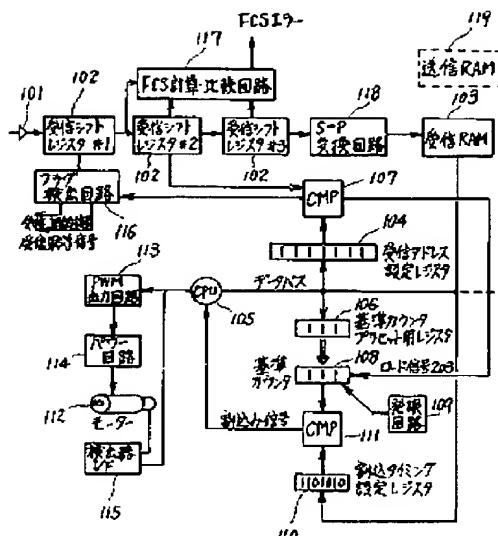
【図5】



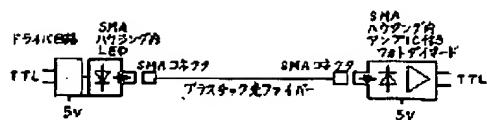
(10)

特許2636534

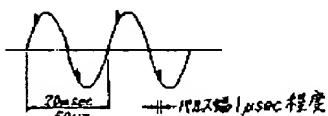
〔图1〕



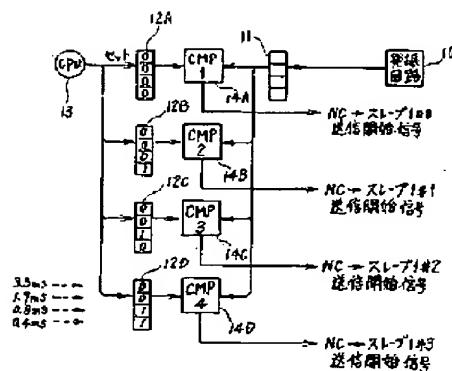
[図15]



〔图19〕

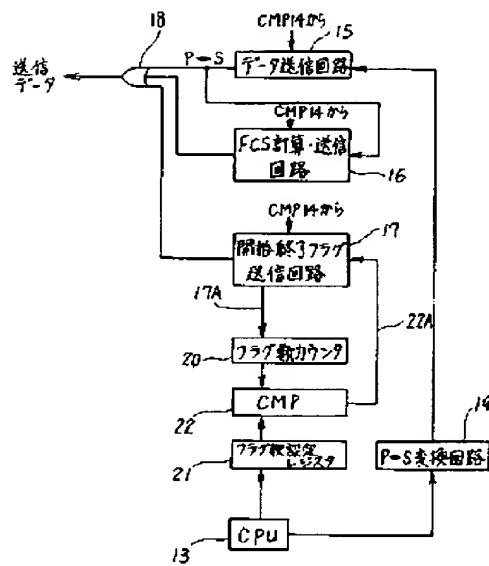


〔图3〕



11: NC内部基準カウント
12A~12D: 送信タイミング設定システム
13: CPU
14A~14D: コンバーラー

[図4]

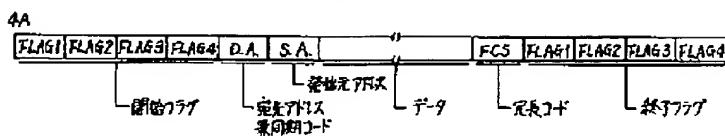


(11)

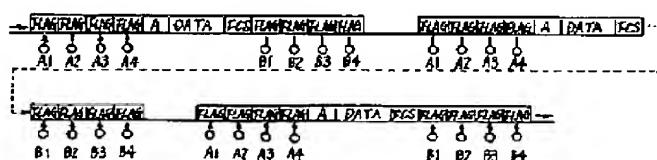
特許2636534

[図7]

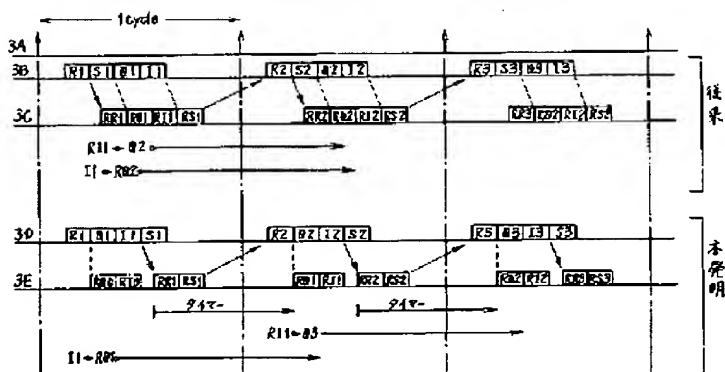
(A)



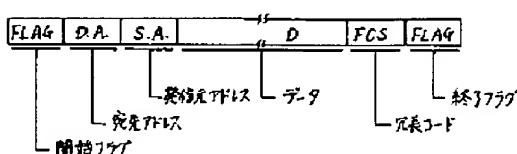
(B)



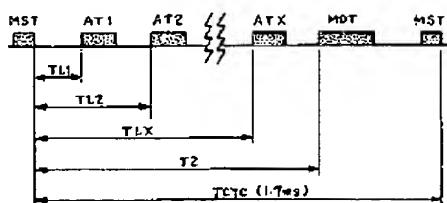
[図8]



[図12]



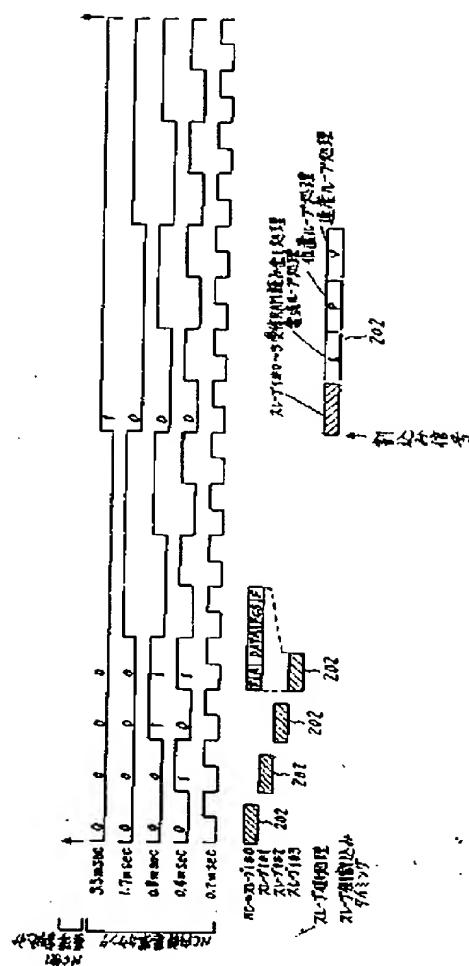
[図13]



(12)

特許2636534

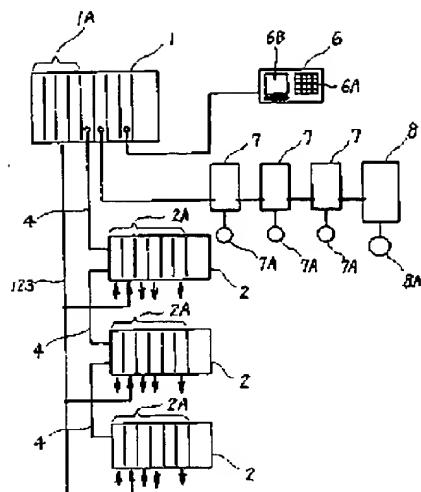
[图 6]



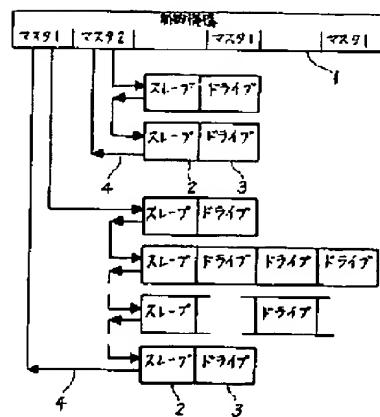
(13)

特許2636534

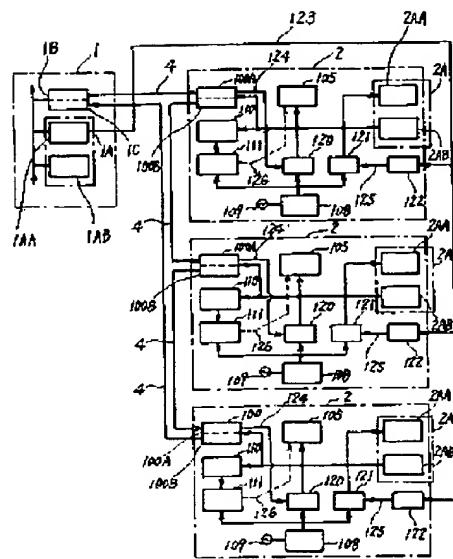
【図9】



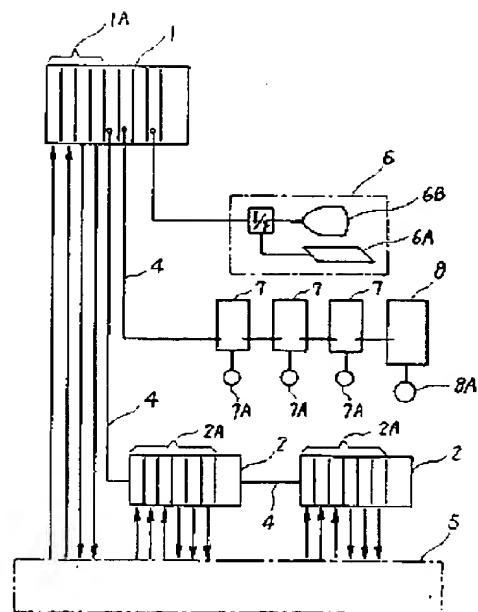
【図11】



【図10】



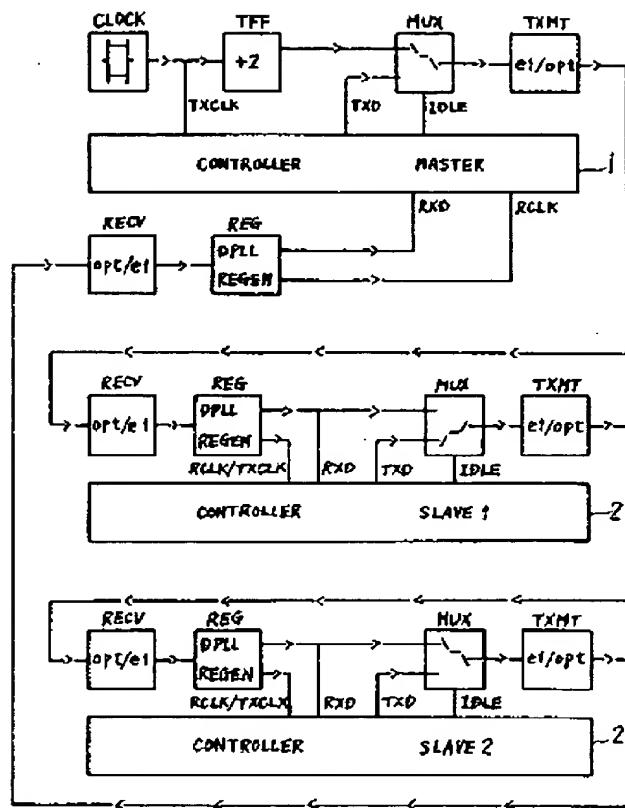
【図17】



(14)

特許2636534

[図16]



(15)

特許2636534

[図18]

